

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

05151845      \*\*Image available\*\*

CMOS OUTPUT CIRCUIT AND SEMICONDUCTOR DEVICE

PUB. NO.:      **08-107345** [JP 8107345 A]

PUBLISHED:   April 23, 1996 (19960423)

INVENTOR(s): YANAGIDA HIROYOSHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

FUJITSU VLSI LTD [491219] (A Japanese Company or Corporation)  
, JP (Japan)

APPL. NO.:      06-240151 [JP 94240151]

FILED:          October 04, 1994 (19941004)

INTL CLASS:    [6] H03K-019/0175; H01L-021/8238; H01L-027/092

JAPIO CLASS:   42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --  
Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

**ABSTRACT**

PURPOSE: To realize a CMOS output circuit in which power consumption is reduced.

CONSTITUTION: A source of an N-channel MOS transistor (TR) 2 being a component of a CMOS inverter circuit is connected to a low voltage power supply Vss via a P-channel MOS TR 3, and an intermediate level VM between the high voltage section Vcc and a low voltage power supply Vss is fed to a gate of the P-channel MOS TR 3. A source of a P-channel MOS TR 4 being a component of the CMOS inverter circuit is connected to the high voltage power supply Vcc via an N-channel MOS TR 6 and an intermediate level VM between the high voltage power supply Vcc and the low voltage power supply Vss is fed to a gate of the P-channel MOS TR 6.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-107345

(43) 公開日 平成8年(1996)4月23日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H03K 19/0175

H01L 21/8238

27/092

H03K 19/00

101

F

H01L 27/08

321

L

審査請求 未請求 請求項の数 4 O L (全10頁)

(21) 出願番号 特願平6-240151

(22) 出願日 平成6年(1994)10月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 柳田 浩慶

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

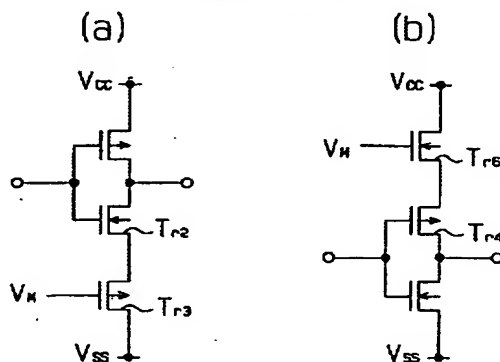
(54) 【発明の名称】 CMOS出力回路及び半導体装置

(57) 【要約】

【目的】 本発明は消費電力の低減を図り得るCMOS出力回路を提供することを目的とする。

【構成】 CMOSインバータ回路を構成するNチャネルMOSトランジスタTr2のソースがPチャネルMOSトランジスタTr3を介して低電位側電源Vssに接続され、前記PチャネルMOSトランジスタTr3のゲートには高電位側電源Vccと低電位側電源Vssとの中間レベルVMが供給される。CMOSインバータ回路を構成するPチャネルMOSトランジスタTr4のソースがNチャネルMOSトランジスタTr6を介して高電位側電源Vccに接続され、前記NチャネルMOSトランジスタTr6のゲートには高電位側電源Vccと低電位側電源Vssとの中間レベルVMが供給される。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 CMOSインバータ回路を構成するNチャネルMOSトランジスタのソースをPチャネルMOSトランジスタを介して低電位側電源に接続し、前記PチャネルMOSトランジスタのゲートには高電位側電源と低電位側電源との中間レベルを供給することを特徴とするCMOS出力回路。

【請求項2】 CMOSインバータ回路を構成するPチャネルMOSトランジスタのソースをNチャネルMOSトランジスタを介して高電位側電源に接続し、前記NチャネルMOSトランジスタのゲートには高電位側電源と低電位側電源との中間レベルを供給することを特徴とするCMOS出力回路。

【請求項3】 CMOSインバータ回路を構成するNチャネルMOSトランジスタのソースをPチャネルMOSトランジスタを介して低電位側電源に接続し、前記PチャネルMOSトランジスタのゲートには高電位側電源と低電位側電源との中間レベルを供給してCMOS出力回路を構成し、前記CMOS出力回路の出力信号を接続配線を介して該CMOS出力回路と同一構成のCMOS入力回路に入力することを特徴とする半導体装置。

【請求項4】 CMOSインバータ回路を構成するPチャネルMOSトランジスタのソースをNチャネルMOSトランジスタを介して高電位側電源に接続し、前記NチャネルMOSトランジスタのゲートには高電位側電源と低電位側電源との中間レベルを供給してCMOS出力回路を構成し、前記CMOS出力回路の出力信号を接続配線を介して該CMOS出力回路と同一構成のCMOS入力回路に入力することを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、CMOS出力回路に関するものである。近年、半導体記憶装置及び種々の半導体装置は多様な携帯用電子機器に搭載される。このような携帯用電子機器では、電源の小型化及び軽量化を図るために、低消費電力化及び電源の低電圧化が要請されている。このため、このような携帯用電子機器に使用されるCMOS出力回路の消費電力を低減する必要がある。

## 【0002】

【従来の技術】図16に示すように、CMOS出力回路は高電位側電源Vccと低電位側電源Vssとの間で、PチャネルMOSトランジスタTrpと、NチャネルMOSトランジスタTrnとが直列に接続される。

【0003】前記トランジスタTrp、Trnのゲートに入力信号INが入力され、両トランジスタTrp、Trnのドレインに接続される出力端子Toから出力信号OUTが出力される。

【0004】前記出力端子Toには、バス等の信号配線

が接続され、出力信号OUTがその信号配線を介して他のCMOS入力回路に入力される。そして、出力信号OUTは電源Vccと電源Vssとの電位差でフル振幅動作するCMOSレベルで出力される。

## 【0005】

【発明が解決しようとする課題】上記のようなCMOS出力回路では、出力信号OUTがCMOSレベルでフル振幅するため、出力端子Toに長い信号配線が接続されると、出力信号OUTが反転されるとき、CMOS出力回路からこの信号配線に流れる充放電電流が大きくなって、消費電力が増大する。

【0006】また、出力信号OUTの振幅を電源Vccと電源Vssの中間レベル付近で圧縮すると、その出力信号OUTが入力されるCMOS入力回路で貫通電流が流れ、消費電力が増大する。

【0007】また、電源Vccを降圧することにより、出力信号OUTの振幅を縮小することも行われているが、この場合にも、出力信号OUTは降圧された電源Vccと電源Vssとの間でフル振幅動作を行うため、消費電力を十分に低減することはできない。

【0008】この発明の目的は、消費電力の低減を図り得るCMOS出力回路を提供することにある。

## 【0009】

【課題を解決するための手段】図1は本発明の原理説明図である。すなわち、図1(a)に示すようにCMOSインバータ回路を構成するNチャネルMOSトランジスタTr2のソースがPチャネルMOSトランジスタTr3を介して低電位側電源Vssに接続され、前記PチャネルMOSトランジスタTr3のゲートには高電位側電源Vccと低電位側電源Vssとの中間レベルVMが供給される。

【0010】また、図1(b)に示すようにCMOSインバータ回路を構成するPチャネルMOSトランジスタTr4のソースがNチャネルMOSトランジスタTr6を介して高電位側電源Vccに接続され、前記NチャネルMOSトランジスタTr6のゲートには高電位側電源Vccと低電位側電源Vssとの中間レベルVMが供給される。

【0011】また、CMOSインバータ回路を構成するNチャネルMOSトランジスタTr2のソースがPチャネルMOSトランジスタTr3を介して低電位側電源Vssに接続され、前記PチャネルMOSトランジスタTr3のゲートには高電位側電源Vccと低電位側電源Vssとの中間レベルVMが供給されてCMOS出力回路が構成される。前記CMOS出力回路の出力信号が接続配線を介して該CMOS出力回路と同一構成のCMOS入力回路に入力される。

【0012】また、CMOSインバータ回路を構成するPチャネルMOSトランジスタTr4のソースがNチャネルMOSトランジスタTr6を介して高電位側電源Vccに接続され、前記NチャネルMOSトランジスタTr6のゲートには高電位側電源Vccと低電位側電源Vssとの中間

レベルVM が供給されてCMOS出力回路が構成され、前記CMOS出力回路の出力信号が接続配線を介して該CMOS出力回路と同一構成のCMOS入力回路に入力される。

#### 【0013】

【作用】 CMOSレベルの入力信号に基づいて、高電位側電源Vccと中間レベルVM との間で振幅する出力信号が出力され、出力信号の反転動作にともなう充放電電流が低減される。

【0014】 また、CMOSレベルの入力信号に基づいて、低電位側電源Vssと中間レベルVM との間で振幅する出力信号が出力され、出力信号の反転動作にともなう充放電電流が低減される。

【0015】 また、高電位側電源Vccと中間レベルVM との間で振幅するCMOS出力回路の出力信号は、接続配線を介して該CMOS出力回路と同一構成のCMOS入力回路に入力され、同入力回路での貫通電流の発生が防止される。

【0016】 また、低電位側電源Vssと中間レベルVM との間で振幅するCMOS出力回路の出力信号は、接続配線を介して該CMOS出力回路と同一構成のCMOS入力回路に入力され、同入力回路での貫通電流の発生が防止される。

#### 【0017】

##### 【実施例】

（第一の実施例） 図2はこの発明を具体化したCMOS出力回路の第一の実施例を示す。CMOSレベルの入力信号INは、PチャネルMOSトランジスタTr1と、NチャネルMOSトランジスタTr2のゲートに入力される。

【0018】 前記トランジスタTr1のソースは電源Vccに接続され、前記トランジスタTr1、Tr2のドレインが出力端子Toに接続され、同出力端子Toから出力信号OUTが出力される。

【0019】 前記トランジスタTr2のソースはPチャネルMOSトランジスタTr3のソースに接続され、同トランジスタTr3のドレインは電源Vssに接続される。また、前記トランジスタTr3のゲートには、電源Vccと電源Vssとの中間レベルVM が入力される。

【0020】 このように構成されたCMOS出力回路の動作を図3に従って説明する。入力信号INがLレベルとなると、トランジスタTr1がオンされ、トランジスタTr2がオフされる。すると、出力信号OUTはHレベルとなる。

【0021】 入力信号INがHレベルとなると、トランジスタTr1がオフされ、トランジスタTr2がオンされる。このとき、トランジスタTr3はオン状態にある。すると、出力信号OUTはHレベルから徐々に低下し、トランジスタTr2のソース端子Cの電位が中間レベルVM からトランジスタTr3のしきい値分高いレベルまで低下

すると、同トランジスタTr3がオフされる。従って、出力信号OUTは中間レベルVM より若干高いレベルに収束する。

【0022】 次いで、入力信号INがLレベルとなると、トランジスタTr1がオンされ、トランジスタTr2がオフされて、出力信号OUTはHレベルとなる。以上のようにこのCMOS出力回路では、CMOSレベルの入力信号INに基づいて、電源Vccと電源Vssの電位差に対し、電源Vccと中間レベルVM との間の上半幅で振幅する出力信号OUTが出力される。

【0023】 従って、出力端子Toに接続される配線が長くなっても、出力信号OUTの振幅が縮小されることにより、配線に流れる充放電電流が小さくなり、消費電力が低減される。

（第二の実施例） 図4はこの発明を具体化したCMOS出力回路の第二の実施例を示す。CMOSレベルの入力信号INは、PチャネルMOSトランジスタTr4と、NチャネルMOSトランジスタTr5のゲートに入力される。

【0024】 前記トランジスタTr5のソースは電源Vssに接続され、前記トランジスタTr4、Tr5のドレインが出力端子Toに接続され、同出力端子Toから出力信号OUTが出力される。

【0025】 前記トランジスタTr4のソースはNチャネルMOSトランジスタTr6のソースに接続され、同トランジスタTr6のドレインは電源Vccに接続される。また、前記トランジスタTr6のゲートには、電源Vccと電源Vssとの中間レベルVM が入力される。

【0026】 このように構成されたCMOS出力回路は、入力信号INがHレベルとなると、トランジスタTr4がオフされ、トランジスタTr5がオンされる。すると、出力信号OUTはLレベルとなる。

【0027】 入力信号INがLレベルとなると、トランジスタTr5がオフされ、トランジスタTr4がオンされる。このとき、トランジスタTr6はオン状態にある。すると、出力信号OUTはLレベルから徐々に上昇し、トランジスタTr4のソース端子Cの電位が中間レベルVM からトランジスタTr6のしきい値分低いレベルまで上昇すると、同トランジスタTr6がオフされる。従って、出力信号OUTは中間レベルVM より若干低いレベルに収束する。

【0028】 次いで、入力信号INがHレベルとなると、トランジスタTr5がオンされ、トランジスタTr4がオフされて、出力信号OUTはLレベルとなる。以上のようにこのCMOS出力回路では、CMOSレベルの入力信号INに基づいて、電源Vssと中間レベルVM との間の下半幅で振幅する出力信号OUTが出力される。

【0029】 従って、出力信号OUTの振幅が縮小されることにより、配線に流れる充放電電流が小さくなり、消費電力が低減される。

(第三の実施例) 前記第一及び第二の実施例は、出力信号OUTが中間電位VMに遷移する速度が遅い。そこで、その動作速度を改善し、かつ消費電力の低減をさらに図り得る構成を図5に示す。

【0030】電源Vccと電源Vssとの間には、NチャネルMOSトランジスタTr7とPチャネルMOSトランジスタTr8とが直列に接続され、両トランジスタTr7、Tr8のソースは互いに接続されて、接続端子Cを構成する。前記トランジスタTr7、Tr8のゲートには前記中間レベルVMが入力される。

【0031】接続端子Cと電源Vccとの間には、電源Vccと接続端子Cの電位とを電源として動作する複数のインバータ回路1aが接続され、接続端子Cと電源Vssとの間には、接続端子Cと電源Vssの電位とを電源として動作する複数のインバータ回路1bが接続される。

【0032】前記各インバータ回路1aと、トランジスタTr8とで、図2に示すCMOS出力回路が構成され、前記各インバータ回路1bと、トランジスタTr7とで、図4に示すCMOS出力回路が構成される。

【0033】このような構成により、各インバータ回路1aはCMOSレベルの入力信号に基づいて、その振幅が電源Vccと中間レベルVMとの電位差となる出力信号OUTを出力する。

【0034】また、各インバータ回路1bはCMOSレベルの入力信号に基づいて、その振幅が電源Vssと中間レベルVMとの電位差となる出力信号OUTを出力する。そして、各インバータ回路1aの出力信号OUTの立ち下がり、各インバータ回路1bの出力信号OUTの立ち上がりとを同期させれば、各インバータ回路1aから接続端子Cに流れ込む電荷を、インバータ回路1bに供給することができる。

【0035】従って、インバータ回路1aで使用した電荷を、インバータ回路1bで再使用して、消費電力をさらに低減することができる。各インバータ回路1aの立ち下がり速度及びインバータ回路1bの立ち上がり速度を向上させることができる。

(第四の実施例) 前記第一の実施例の上半幅の出力信号OUTをCMOSレベルの信号に変換するインターフェース回路を図6に示す。トランジスタTr9~Tr11は前記第一の実施例と同様な構成のCMOS回路であり、入力信号INは第一の実施例から出力される上半幅の出力信号である。

【0036】前記トランジスタTr9、Tr10のドレインはPチャネルMOSトランジスタTr12のゲートに接続され、同トランジスタTr12のソースは電源Vccに接続される。

【0037】前記トランジスタTr12のドレインは、NチャネルMOSトランジスタTr13のドレインと、NチャネルMOSトランジスタTr14のゲートに接続され、同トランジスタTr13のソースは電源Vssに接続され

る。

【0038】前記入力信号INはPチャネルMOSトランジスタTr15のゲートに入力され、同トランジスタTr15のソースは電源Vccに接続される。前記トランジスタTr15のドレインは出力端子Toと、前記トランジスタTr14のドレインと、前記トランジスタTr13のゲートに接続される。また、前記トランジスタTr14のソースは電源Vssに接続される。

【0039】このように構成されたインターフェース回路では、入力信号INとして上半幅のHレベルの信号すなわち電源Vccレベルが入力されると、トランジスタTr9がオフされるとともに、トランジスタTr10、Tr11がオンされる。

【0040】すると、トランジスタTr12、Tr14がオンされるとともに、トランジスタTr13、Tr15がオフされて、出力信号OUTは電源Vssレベルとなる。また、入力信号INとして上半幅のLレベルの信号すなわち中間レベルVMが入力されると、トランジスタTr9がオンされるとともに、トランジスタTr11がオフされ

る。

【0041】すると、トランジスタTr12、Tr14がオフされるとともに、トランジスタTr13、Tr15がオンされて、出力信号OUTは電源Vccレベルとなる。従って、このインターフェース回路は上半幅の入力信号INを、CMOSレベルの出力信号OUTに変換して出力することができる。

【0042】前記第一の実施例のCMOS出力回路の出力信号を、長い接続配線を介して上記インターフェース回路に入力すれば、接続配線には上半幅の出力信号を出力することにより、充放電電流を低減して消費電力を低減することができる。同時に、インターフェース回路により、上半幅の信号をCMOSレベルに変換して、内部回路に出力することができる。

(第五の実施例) 前記第二の実施例の下半幅の出力信号OUTをCMOSレベルの信号に変換するインターフェース回路を図7に示す。この実施例を構成するトランジスタTr16~Tr22は、図6に示すインターフェース回路のトランジスタの属性と、電源Vcc及び電源Vssを入れ換えて構成したものであり、前記第二の実施例のCMOS出力回路から出力される下半幅の出力信号OUTをCMOSレベルに変換して出力する。

【0043】従って、第二の実施例のCMOS出力回路と組み合わせて使用することにより、前記第四の実施例と同様な効果を得ることができる。

(第六の実施例) 前記第一の実施例のCMOS出力回路から出力される上半幅の信号を、下半幅の信号に変換して出力する変換回路を図8に示す。

【0044】上半幅の入力信号INは、NチャネルMOSトランジスタTr23と、PチャネルMOSトランジスタTr24のゲートに入力され、同トランジスタTr23の

ドレインと、同トランジスタTr24のソースは電源Vccに接続される。

【0045】前記トランジスタTr23のソースはPチャネルMOSトランジスタTr25のソースに接続され、同トランジスタTr25のゲートには中間レベルVMが入力される。

【0046】前記トランジスタTr24のドレインはNチャネルMOSトランジスタTr26のドレインに接続され、同トランジスタTr26のゲートには中間レベルVMが入力される。

【0047】前記トランジスタTr25のドレインは、NチャネルMOSトランジスタTr27のドレインと、NチャネルMOSトランジスタTr28のゲートに接続される。前記トランジスタTr26のソースは、NチャネルMOSトランジスタTr28のドレインと、NチャネルMOSトランジスタTr27のゲートに接続される。前記トランジスタTr27、Tr28のソースは電源Vssに接続される。

【0048】このように構成された変換回路にHレベルの入力信号INが入力されると、トランジスタTr23がオンされて、トランジスタTr25がオンされる。また、トランジスタTr24がオフされる。

【0049】トランジスタTr25のオン動作に基づいて、トランジスタTr28がオンされ、トランジスタTr24のオフ動作に基づいて、トランジスタTr27がオフされる。従って、出力信号OUTは電源Vssレベルとなる。

【0050】また、中間レベルVM近傍のLレベルの入力信号INが入力されると、トランジスタTr25がオフされる。また、トランジスタTr24がオンされる。トランジスタTr25のオフ動作に基づいて、トランジスタTr28がオフされ、トランジスタTr24のオン動作に基づいて、トランジスタTr26、Tr27がオンされる。そして、出力信号OUTが中間レベルVM近傍まで上昇すると、トランジスタTr26がオフされるため、出力信号OUTは中間レベルVMよりトランジスタTr26のしきい値分低いレベルまで上昇してHレベルとなる。

【0051】従って、この変換回路により上半幅の入力信号INを、貫通電流を生じることなく下半幅の出力信号OUTに変換して出力することができる。そして、振幅を縮小した出力信号OUTを出力して、消費電力を低減することができる。

(第七の実施例) 前記第二の実施例のCMOS出力回路から出力される下半幅の信号を、上半幅の信号に変換して出力する変換回路を図9に示す。この実施例を構成するトランジスタTr29~Tr34は、図8に示す変換回路のトランジスタの属性と、電源Vcc、電源Vssを入れ換えて構成したものである。

【0052】下半幅の入力信号INは、PチャネルMOSトランジスタTr31と、NチャネルMOSトランジ

スタTr34のゲートに入力され、同トランジスタTr31のドレインと、同トランジスタTr34のソースは電源Vssに接続される。

【0053】前記トランジスタTr31のソースはNチャネルMOSトランジスタTr30のソースに接続され、同トランジスタTr30のゲートには中間レベルVMが入力される。

【0054】前記トランジスタTr34のドレインはPチャネルMOSトランジスタTr33のドレインに接続され、同トランジスタTr33のゲートには中間レベルVMが入力される。

【0055】前記トランジスタTr30のドレインは、PチャネルMOSトランジスタTr29のドレインと、PチャネルMOSトランジスタTr32のゲートに接続される。前記トランジスタTr33のソースは、PチャネルMOSトランジスタTr32のドレインと、PチャネルMOSトランジスタTr29のゲートに接続される。前記トランジスタTr29、Tr32のソースは電源Vccに接続される。

【0056】このように構成された変換回路に中間レベルVM近傍のHレベルの入力信号INが入力されると、トランジスタTr31、Tr30がオフされる。また、トランジスタTr34がオンされる。

【0057】トランジスタTr34のオン動作に基づいて、トランジスタTr33、Tr29がオンされ、トランジスタTr30のオフ動作に基づいて、トランジスタTr32がオフされる。従って、出力信号OUTが中間レベルVM近傍まで低下すると、トランジスタTr33がオフされるため、出力信号OUTは中間レベルVMよりトランジスタTr33のしきい値分高いレベルまで低下して、Lレベルとなる。

【0058】また、電源VssレベルのLレベルの入力信号INが入力されると、トランジスタTr31、Tr30がオンされ、トランジスタTr34がオフされる。トランジスタTr30のオン動作に基づいて、トランジスタTr32がオンされ、トランジスタTr34のオフ動作に基づいて、トランジスタTr33、Tr29がオフされる。そして、出力信号OUTは電源Vccレベルとなる。

【0059】従って、この変換回路により下半幅の入力信号INを、貫通電流を生じることなく上半幅の出力信号OUTに変換して出力することができる。そして、振幅を縮小した出力信号OUTを出力して、消費電力を低減することができる。

(第八の実施例) 前記各実施例は入力信号INが単相信号であるが、相補信号が入力信号として入力される場合を図10に示す。

【0060】入力信号IN1、IN2はCMOSレベルの相補信号である。電源Vccと電源Vssとの間には、二つのCMOSインバータ回路を構成するトランジスタTr35~Tr38が直列に接続される。前記トランジスタTr

35, Tr36 のゲートに入力信号 IN 1 が入力され、前記トランジスタ Tr37, Tr38 のゲートに入力信号 IN 2 が入力される。

【0061】前記トランジスタ Tr35, Tr36 のドレインから出力信号 OUT 1 が出力され、前記トランジスタ Tr37, Tr38 のドレインから出力信号 OUT 2 が出力される。前記トランジスタ Tr36, Tr37 のソースには中間レベル VM が供給される。

【0062】このように構成された CMOS 出力回路は、図 11 に示すように例えば H レベルの入力信号 IN 1 と、L レベルの入力信号 IN 2 が入力されると、トランジスタ Tr35 はオフされ、トランジスタ Tr36 はオンされる。また、トランジスタ Tr37 はオンされ、トランジスタ Tr38 はオフされる。この結果、出力信号 OUT 1, OUT 2 は中間レベル VM となる。

【0063】また、L レベルの入力信号 IN 1 と、H レベルの入力信号 IN 2 が入力されると、トランジスタ Tr35 はオンされ、トランジスタ Tr36 はオフされる。また、トランジスタ Tr37 はオフされ、トランジスタ Tr38 はオンされる。

【0064】この結果、出力信号 OUT 1 は電源 Vcc レベルとなり、出力信号 OUT 2 は電源 Vss レベルとなる。従って、相補入力信号 IN 1, IN 2 に基づいて、逆相の出力信号 OUT 1, OUT 2 を出力することができ、電源 Vcc と中間レベル VM との間の上半幅となる出力信号 OUT 1 と、電源 Vss と中間レベル VM との間の下半幅となる出力信号 OUT 2 を出力することができる。

【0065】そして、振幅を縮小した出力信号 OUT 1, OUT 2 に基づいて、消費電力を低減することができる。なお、トランジスタ Tr36, Tr37 のソースには必ずしも中間レベル VM を供給する必要はないが、中間レベル VM を供給していない場合には、出力信号 OUT 1 の L レベル及び出力信号 OUT 2 の H レベルが不安定になることがある。

(第九の実施例) 図 10 に示す CMOS 出力回路から出力される上半幅及び下半幅の相補信号に基づいて動作する論理回路を構成するには、図 12 及び図 13 に示す回路を使用する。

【0066】図 12 に示す回路は、上半幅及び下半幅の相補信号である入力信号 IN 1, IN 2 が入力される。上半幅の入力信号 IN 1 は P チャネル MOS トランジスタ Tr39 と N チャネル MOS トランジスタ Tr40 のゲートに入力される。

【0067】前記トランジスタ Tr39 のソースは電源 Vcc に接続され、トランジスタ Tr39, Tr40 のドレインから出力信号 OUT 1 が出力される。前記トランジスタ Tr40 のソースは P チャネル MOS トランジスタ Tr41 のソースに接続され、同トランジスタ Tr41 のドレインは電源 Vss に接続される。

【0068】前記トランジスタ Tr41 のゲートには下半幅の入力信号 IN 2 が入力される。また、入力信号 IN 2 は出力信号 OUT 2 として出力される。このような回路では、入力信号 IN 1, IN 2 が中間レベル VM 近傍となると、トランジスタ Tr39 がオンされ、トランジスタ Tr40, Tr41 がオフされる。従って、出力信号 OUT 1 は電源 Vcc レベルとなり、出力信号 OUT 2 は中間レベル VM 近傍となる。

【0069】また、入力信号 IN 1 が電源 Vcc レベル、入力信号 IN 2 が電源 Vss レベルとなると、トランジスタ Tr39 がオフされ、トランジスタ Tr40, Tr41 がオンされる。従って、出力信号 OUT 1 は電源 Vss 近傍、出力信号 OUT 2 は電源 Vss レベルとなる。

【0070】図 13 に示す回路は、上半幅及び下半幅の相補信号である入力信号 IN 3, IN 4 が入力される。上半幅の入力信号 IN 3 は N チャネル MOS トランジスタ Tr42 のゲートに入力される。また、入力信号 IN 3 は出力信号 OUT 3 として出力される。

【0071】前記トランジスタ Tr42 のドレインは電源 Vcc に接続され、ソースは P チャネル MOS トランジスタ Tr43 のソースに接続される。下半幅の入力信号 IN 4 は、前記トランジスタ Tr43 と N チャネル MOS トランジスタ Tr44 のゲートに入力される。前記トランジスタ Tr43, Tr44 のドレインから出力信号 OUT 4 が出力され、トランジスタ Tr44 のソースは電源 Vss に接続される。

【0072】このような回路では、入力信号 IN 3, IN 4 が中間レベル VM 近傍となると、トランジスタ Tr42 がオンされ、トランジスタ Tr43, Tr44 がオフされる。従って、出力信号 OUT 3 は中間レベル VM 近傍となり、出力信号 OUT 4 は電源 Vss レベルとなる。

【0073】また、入力信号 IN 3 が電源 Vcc レベル、入力信号 IN 4 が電源 Vss レベルとなると、トランジスタ Tr42, Tr43 がオンされ、トランジスタ Tr44 がオフされる。従って、出力信号 OUT 3 は電源 Vcc レベル、出力信号 OUT 4 は電源 Vcc レベル近傍となる。

【0074】上記回路を使用して NAND 回路を構成した例を図 14 に示す。前記出力信号 OUT 1 は P チャネル MOS トランジスタ Tr45 のゲートに入力され、前記出力信号 OUT 2 は N チャネル MOS トランジスタ Tr47 のゲートに入力される。

【0075】前記出力信号 OUT 3 は P チャネル MOS トランジスタ Tr46 のゲートに入力され、前記出力信号 OUT 4 は N チャネル MOS トランジスタ Tr48 のゲートに入力される。

【0076】前記トランジスタ Tr45, Tr46 のソースは電源 Vcc に接続され、同トランジスタ Tr45, Tr46 のドレインは出力端子 To に接続される。前記トランジスタ Tr47 のドレインは出力端子 To に接続され、ソースは前記トランジスタ Tr48 のドレインに接続される。

前記トランジスタTr48のソースは電源Vssに接続される。

【0077】このような構成により、出力信号OUT1、OUT2が電源Vccレベルとなり、出力信号OUT3、OUT4が中間レベルVM以上となるときに、Lレベルの出力信号OUTを出力するNAND回路が構成される。

(第十の実施例) 図15は図10に示すCMOS出力回路から出力される上半幅及び下半幅の相補信号に基づいて動作するAND回路の実施例を示す。

【0078】入力信号IN1～IN4は前記第九の実施例と同様である。入力信号IN1はNチャネルMOSトランジスタTr49のゲートに入力され、入力信号IN2はPチャネルMOSトランジスタTr50と、NチャネルMOSトランジスタTr54のゲートに入力される。

【0079】入力信号IN3はNチャネルMOSトランジスタTr51のゲートに入力され、入力信号IN4はNチャネルMOSトランジスタTr53と、PチャネルMOSトランジスタTr52のゲートに入力される。

【0080】前記トランジスタTr49のドレインは電源Vccに接続され、ソースは前記トランジスタTr50のソースに接続される。前記トランジスタTr51のドレインは電源Vccに接続され、ソースは前記トランジスタTr52のソースに接続される。

【0081】前記トランジスタTr54のソースは電源Vssに接続され、ドレインは前記トランジスタTr53のソースに接続される。前記トランジスタTr50、Tr52、Tr53のドレインは、トランジスタTr55、Tr56で構成されるインバータ回路の入力端子に接続され、同インバータ回路の出力端子Toから出力信号OUTが出力される。

【0082】また、前記出力端子ToはPチャネルMOSトランジスタTr57のゲートに入力され、同トランジ

スタTr57のソースは電源Vccに接続され、ドレインは前記インバータ回路の入力端子に接続される。

【0083】このような構成により、入力信号IN1、IN2、IN3、IN4が中間レベルVMの近傍になったとき、出力信号OUTがHレベルとなるAND回路を構成することができる。

【0084】

【発明の効果】以上詳述したように、この発明は消費電力の低減を図り得るCMOS出力回路を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第一の実施例を示す回路図である。

【図3】 第一の実施例の動作を示す波形図である。

【図4】 第二の実施例を示す回路図である。

【図5】 第三の実施例を示す回路図である。

【図6】 第四の実施例を示す回路図である。

【図7】 第五の実施例を示す回路図である。

【図8】 第六の実施例を示す回路図である。

【図9】 第七の実施例を示す回路図である。

【図10】 第八の実施例を示す回路図である。

【図11】 第八の実施例の動作を示す波形図である。

【図12】 第九の実施例を示す回路図である。

【図13】 第九の実施例を示す回路図である。

【図14】 第九の実施例を示す回路図である。

【図15】 第十の実施例を示す回路図である。

【図16】 従来例を示す回路図である。

【符号の説明】

Tr2, Tr6

NチャネルMOSトランジスタ

Tr3, Tr4

PチャネルMOSトランジスタ

Vcc

高電位側電源

Vss

低電位側電源

VM

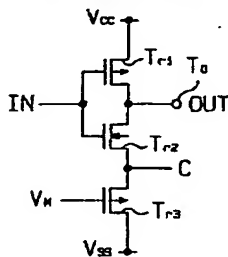
中間レベル

【図2】

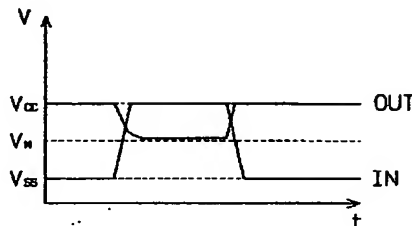
【図3】

【図4】

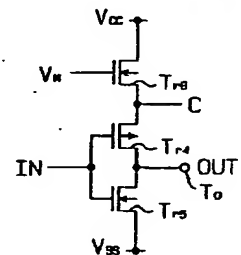
第一の実施例を示す回路図



第一の実施例の動作を示す波形図



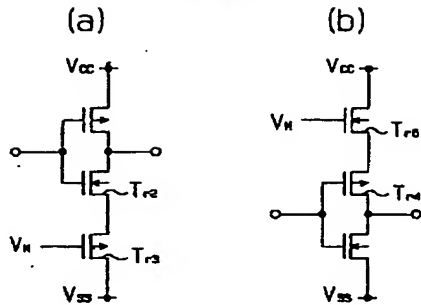
第二の実施例を示す回路図





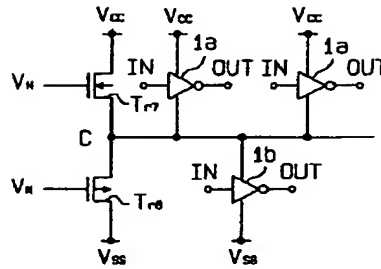
【図 1】

本発明の原理図



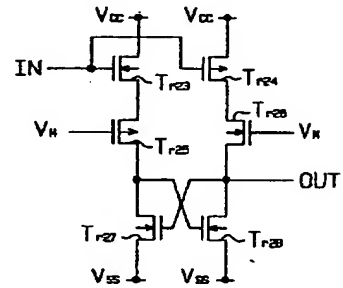
【図 5】

第三の実施例を示す回路図



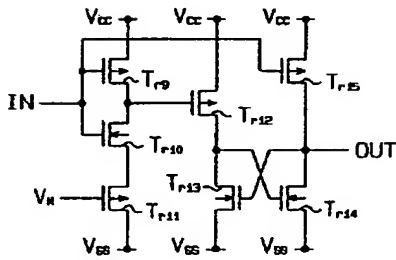
【図 8】

第六の実施例を示す回路図



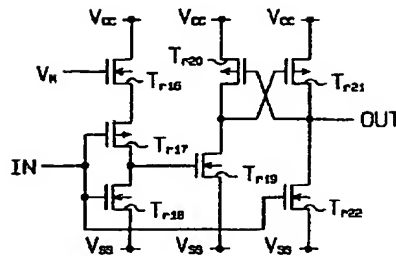
【図 6】

第四の実施例を示す回路図



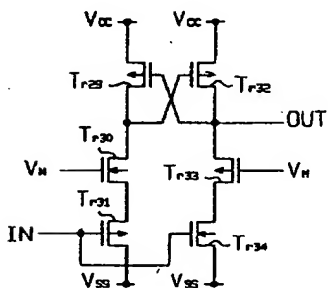
【図 7】

第五の実施例を示す回路図



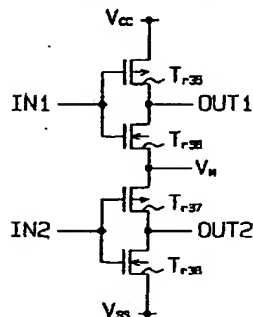
【図 9】

第七の実施例を示す回路図



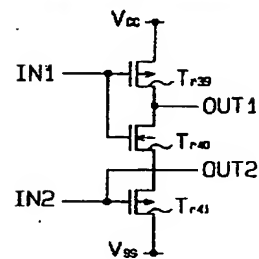
【図 10】

第八の実施例を示す回路図



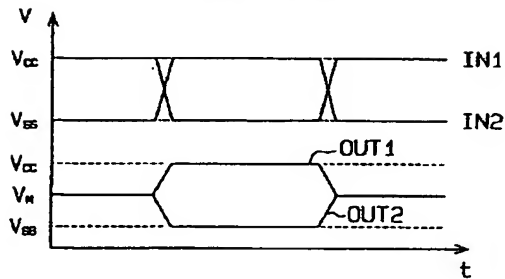
【図 12】

第九の実施例を示す回路図



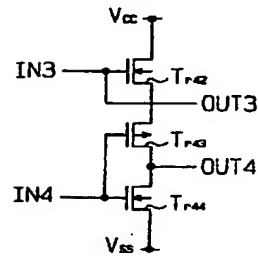
【図 1 1】

第八の実施例の動作を示す波形図



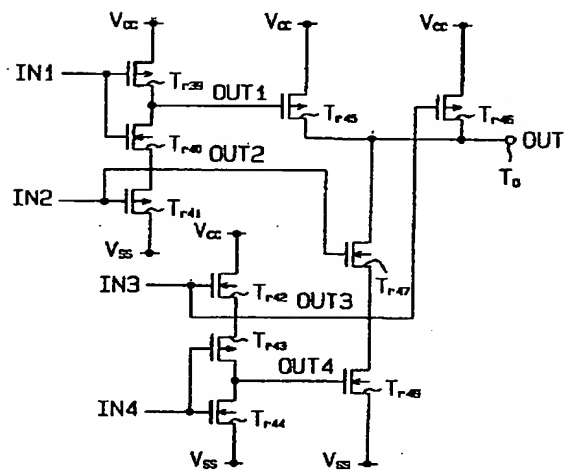
【図 1 3】

第九の実施例を示す回路図



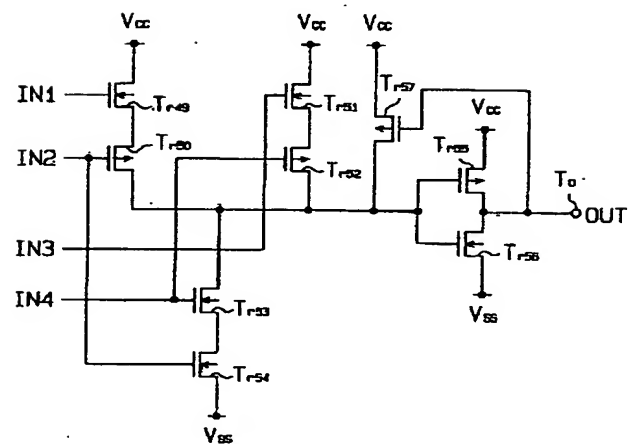
【図 1 4】

第九の実施例を示す回路図



【図 1 5】

第十の実施例を示す回路図



【図 1 6】

従来例を示す回路図

